

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Eiju KOMURO et al.

Serial No. : Not Yet Assigned

Filed : Concurrently Herewith

For : METHOD OF MANUFACTURING A PIEZOELECTRIC THIN FILM RESONATOR, MANUFACTURING APPARATUS FOR A PIEZOELECTRIC THIN FILM RESONATOR, PIEZOELECTRIC THIN FILM RESONATOR, AND ELECTRONIC COMPONENT

**CLAIM OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 based upon Japanese Application No. 2003-094569, filed March 31, 2003. As required by 37 C.F.R. 1.55, a certified copy of the Japanese application is being submitted herewith.

Respectfully submitted,  
Eiju KOMURO et al.

*Leslie M. Pappas Reg. No. 33,329*  
Bruce H. Bernstein  
Reg. No. 29,027

March 30, 2004  
GREENBLUM & BERNSTEIN, P.L.C.  
1950 Roland Clarke Place  
Reston, VA 20191  
(703) 716-1191



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月31日

出願番号 Application Number: 特願2003-094569

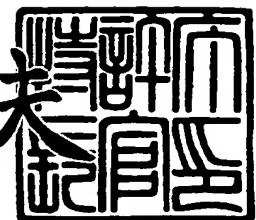
[ST. 10/C]: [JP2003-094569]

出願人 Applicant(s): TDK株式会社

2003年11月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫





【書類名】 特許願

【整理番号】 04944

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 9/17

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 小室 栄樹

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 斎藤 久俊

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 野口 隆男

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 伊村 正明

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代表者】 澤部 肇

【代理人】

【識別番号】 100104787

【弁理士】

【氏名又は名称】 酒井 伸司



## 【手数料の表示】

【予納台帳番号】 053992

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 薄膜圧電共振子の製造方法、薄膜圧電共振子の製造装置、薄膜圧電共振子および電子部品

【特許請求の範囲】

【請求項 1】 基体の上に形成した下部電極を覆うようにして当該基体の上に圧電膜を形成した後に、上部電極を形成するための電極材料層を当該圧電膜よりも上側に形成し、当該電極材料層の上に所定形状のマスクを形成した後に当該電極材料層をエッティングすることによって前記上部電極を形成して薄膜圧電共振子を製造する際に、

前記電極材料層を形成する工程に先立ち、当該電極材料層のエッティング時に前記圧電膜を保護するための保護層を当該圧電膜における少なくとも前記上部電極の非形成部位を覆うようにして形成し、その後に当該保護層を覆うようにして前記電極材料層を形成する薄膜圧電共振子の製造方法。

【請求項 2】 前記保護層を  $\text{SiO}_2$  によって形成する請求項 1 記載の薄膜圧電共振子の製造方法。

【請求項 3】 前記圧電膜を  $\text{ZnO}$  によって形成する請求項 1 または 2 記載の薄膜圧電共振子の製造方法。

【請求項 4】 前記電極材料層を  $\text{Al}$  または  $\text{Au}$  によって形成する請求項 1 から 3 のいずれかに記載の薄膜圧電共振子の製造方法。

【請求項 5】 ウェットエッティング法によって前記電極材料層をエッティングして前記上部電極を形成する請求項 1 から 4 のいずれかに記載の薄膜圧電共振子の製造方法。

【請求項 6】 基体の上に形成した下部電極を覆うようにして当該基体の上に圧電膜を形成した後に、上部電極を形成するための電極材料層を当該圧電膜よりも上側に形成し、当該電極材料層の上に所定形状のマスクを形成した後に当該電極材料層をエッティングすることによって前記上部電極を形成して薄膜圧電共振子を製造可能に構成され、

前記電極材料層を形成する工程に先立ち、当該電極材料層のエッティング時に前記圧電膜を保護するための保護層を当該圧電膜における少なくとも前記上部電極

の非形成部位を覆うようにして形成し、その後に当該保護層を覆うようにして前記電極材料層を形成する薄膜圧電共振子の製造装置。

**【請求項7】** ウェットエッティング法によって前記電極材料層をエッティングして前記上部電極を形成する請求項6記載の薄膜圧電共振子の製造装置。

**【請求項8】** 請求項1から5のいずれかに記載の薄膜圧電共振子の製造方法に従って製造されている薄膜圧電共振子。

**【請求項9】** 請求項8記載の薄膜圧電共振子を含めて構成されている電子部品。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、基体の上に、下部電極、圧電膜および上部電極をこの順で形成する薄膜圧電共振子の製造方法および製造装置、その製造方法に従って製造された薄膜圧電共振子、並びにその薄膜圧電共振子を含めて構成された電子部品に関するものである。

##### 【0002】

##### 【従来の技術】

この種の製造方法に従って製造された薄膜圧電共振子として、携帯電話等の電子機器に搭載するフィルタなどに用いられる薄膜圧電素子が特開2001-251159号公報に開示されている。この薄膜圧電素子は、シリコン基板(11)の上に下部電極(13)、圧電膜(14)および上部電極(15)がこの順で形成されて構成されている。この場合、シリコン基板は、薄膜圧電素子の基体であって、その上面にはシリコン酸化膜(12)が形成され、その下面には、マスク材(19)の層が形成されている。また、シリコン基板には、共振用空洞(20)が形成されて、駆動時における下部電極、圧電膜および上部電極の共振が可能に構成されている。

##### 【0003】

この薄膜圧電素子の製造に際しては、まず、シリコン基板におけるシリコン酸化膜の上に、下部電極を形成するための金属膜を形成した後に、エッティングによ

って金属膜の下部電極に相当する部位を残してかつ不要部位を取り除いて下部電極を形成する。この際に、一例として、金属膜の上にフォトレジスト層を形成して露光および現像することでマスクを形成し、このマスクを用いてエッティングを行う。次に、シリコン基板11上に例えばスパッタ法によって下部電極を覆うようにして圧電膜を形成する。次いで、上部電極を形成するための金属膜を圧電膜の上に形成した後に、エッティングによって金属膜の上部電極に相当する部位を残してかつ不要部位を取り除いて上部電極を形成する。この際には、下部電極の形成時と同様にして、例えばフォトレジスト層を露光および現像して形成したマスクを用いてエッティングを行う。続いて、シリコン基板の下面に形成されたマスク材(19)をマスクとしてシリコン基板をエッティングすることによって共振用空洞を形成する。この後、圧電膜および上部電極を覆うようにして有機樹脂材料を塗布して有機樹脂膜(21)を形成することにより、薄膜圧電素子が完成する。

#### 【0004】

##### 【特許文献1】

特開2001-251159号公報(第3-4頁)

#### 【0005】

##### 【発明が解決しようとする課題】

ところが、従来の薄膜圧電素子の製造方法には、以下の問題点がある。すなわち、従来の製造方法では、圧電膜の上に形成した金属膜をエッティングすることによって上部電極を形成している。したがって、ウェットエッティング法によって上部電極を形成する場合、圧電膜を形成している材料と、上部電極を形成している金属との組み合わせによっては、金属膜の不要部位が除去されてエッティング液が圧電膜の表面に触れた際に、金属膜をエッティングするためのエッティング液によって圧電膜までもがエッティングされる。また、エッティング液によって圧電膜がエッティングされ始める直前にエッティングを完了する場合、除去すべき金属膜が圧電膜の上に部分的に必ず残留する。この場合、圧電膜に対するエッティングや、金属膜の部分的な残留が生じた状態では、薄膜圧電素子の電気的特性がその設計目標としての所望の特性を満たさないこととなる。したがって、圧電膜をエッティングすることなく不要な金属膜を完全に除去するようにエッティングを行う必要がある。

。しかし、金属膜のエッチングを完了するまでの時間は、金属膜の厚みの僅かなばらつきや、エッティング液の温度変化などに起因して、エッティングを行う都度変化する。したがって、従来の薄膜圧電素子の製造方法には、圧電膜をエッティングすることなく不要な金属膜を完全に除去して上部電極を形成するのが困難であるという問題点が存在する。

#### 【0006】

本発明は、かかる問題点に鑑みてなされたものであり、所望の電気的特性を有する薄膜圧電共振子を確実に製造し得る薄膜圧電共振子の製造方法および製造装置、その製造方法に従って製造された薄膜圧電共振子、並びにその薄膜圧電共振子を含めて構成された電子部品を提供することを主目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記目的を達成すべく本発明に係る薄膜圧電共振子の製造方法は、基体の上に形成した下部電極を覆うようにして当該基体の上に圧電膜を形成した後に、上部電極を形成するための電極材料層を当該圧電膜よりも上側に形成し、当該電極材料層の上に所定形状のマスクを形成した後に当該電極材料層をエッティングすることによって前記上部電極を形成して薄膜圧電共振子を製造する際に、前記電極材料層を形成する工程に先立ち、当該電極材料層のエッティング時に前記圧電膜を保護するための保護層を当該圧電膜における少なくとも前記上部電極の非形成部位を覆うようにして形成し、その後に当該保護層を覆うようにして前記電極材料層を形成する。

#### 【0008】

この場合、前記保護層を  $\text{SiO}_2$  によって形成するのが好ましい。

#### 【0009】

また、前記圧電膜を  $\text{ZnO}$  によって形成するのが好ましい。

#### 【0010】

さらに、前記電極材料層を  $\text{Al}$  または  $\text{Au}$  によって形成するのが好ましい。

#### 【0011】

また、ウェットエッティング法によって前記電極材料層をエッティングして前記上

部電極を形成するのが好ましい。

#### 【0012】

また、本発明に係る薄膜圧電共振子の製造装置は、基体の上に形成した下部電極を覆うようにして当該基体の上に圧電膜を形成した後に、上部電極を形成するための電極材料層を当該圧電膜よりも上側に形成し、当該電極材料層の上に所定形状のマスクを形成した後に当該電極材料層をエッティングすることによって前記上部電極を形成して薄膜圧電共振子を製造可能に構成され、前記電極材料層を形成する工程に先立ち、当該電極材料層のエッティング時に前記圧電膜を保護するための保護層を当該圧電膜における少なくとも前記上部電極の非形成部位を覆うようにして形成し、その後に当該保護層を覆うようにして前記電極材料層を形成する。

#### 【0013】

この場合、ウェットエッティング法によって前記電極材料層をエッティングして前記上部電極を形成するのが好ましい。

#### 【0014】

また、本発明に係る薄膜圧電共振子は、上記の薄膜圧電共振子の製造方法に従って製造されている。

#### 【0015】

また、本発明に係る電子部品は、上記の薄膜圧電共振子を含めて構成されている。

#### 【0016】

##### 【発明の実施の形態】

以下、添付図面を参照して、本発明に係る薄膜圧電共振子の製造方法および製造装置、その製造方法に従って製造した薄膜圧電共振子、並びにその薄膜圧電共振子を含めて構成された電子部品の好適な実施の形態について説明する。

#### 【0017】

最初に、薄膜圧電共振子1の構成について、図面を参照して説明する。

#### 【0018】

図1、2に示す薄膜圧電共振子1は、本発明に係る薄膜圧電共振子に相当し、

基体2、下部電極3、3、3、圧電膜4、保護層5および上部電極6を備えて構成されている。この場合、薄膜圧電共振子1は、3つの単位薄膜圧電共振子U1～U3（以下、区別しないときには「単位薄膜圧電共振子U」ともいう）を備えて構成されている。ここで、単位薄膜圧電共振子Uとは、下部電極3と上部電極6におけるその下部電極3に対向する部位とで挟まれる部分を含んで駆動時に共振子として機能する構成要素をいい、具体的には、下部電極3、上部電極6、両電極3、6で挟まれた部位を含む圧電膜4および保護層5で構成され、この各単位薄膜圧電共振子Uもそれぞれ本発明に係る薄膜圧電共振子を構成する。つまり、本発明に係る薄膜圧電共振子は、1つの単位薄膜圧電共振子Uを最小単位として構成され、複数の単位薄膜圧電共振子Uを備えても構成することもできる。また、薄膜圧電共振子1は、本発明に係る電子部品としてのフィルタとしても機能し、3つの単位薄膜圧電共振子U1～U3が接続されることで、図3に示すように、直列一並列一直列タイプのフィルタとして機能する。なお、図2、5～24では、本発明についての理解を容易とするために、各層の厚みを誇張して厚く図示すると共に、各層同士の厚みの比率を実際とは異なる比率で図示している。

#### 【0019】

基体2は、下部電極3、3、3、圧電膜4、保護層5および上部電極6からなる積層体を支持するための支持基体であって、その厚みが100μm以上300μm以下の範囲内となるように形成されたシリコン基板（ペアシリコンウエハ）11と、シリコン基板11の表裏両面にそれぞれ形成された下部バリア層12および上部バリア層13とを備えて構成されている。この場合、この薄膜圧電共振子1では、一例として厚みが200μm以上500μm以下の範囲内となるように形成されたシリコン基板11が使用されて、下部バリア層12および上部バリア層13が窒化ケイ素（SiN<sub>X</sub>）または酸化ケイ素（SiO<sub>2</sub>）によって0.03μm以上0.5μm以下の範囲内となるように形成されている。また、基体2には、薄膜圧電共振子1の駆動時における下部電極3、圧電膜4、保護層5および上部電極6の振動が阻害されるのを回避するために振動空間2aが形成されている。

#### 【0020】

下部電極3は、Al、Pt、Au、Ag、Cr、CuまたはTiなどの金属材料によってその厚みが0.03μm以上1μm以下の範囲内となるように形成されている。この場合、この薄膜圧電共振子1では、一例として、クロム(Cr)の薄膜を接着層3aとして形成した後に、金(Au)からなる電極材料層3bを形成してエッティングすることで下部電極3が形成される。なお、下部電極3および後述する上部電極6の形成に使用する金属材料としては、駆動時におけるリップルを小さくさせる場合には、そのポアソン比および密度が小さい金属材料(例えばAl)を採用するのが好ましい。また、通過信号の挿入損失を小さくさせる場合には、低抵抗の金属材料(例えばAu)を採用するのが好ましい。圧電膜4は、酸化亜鉛(ZnO)、チタン酸ジルコン酸鉛(Pb(Zr, Ti)O<sub>3</sub>:PZT)または窒化アルミニウム(AlN)などで形成された圧電性を有する薄膜であり、その厚みが5μm以下となるように形成されている。この場合、この薄膜圧電共振子1では、一例として、その結合係数が比較的大きいことで知られている酸化亜鉛(ZnO)によって圧電膜4が厚み0.8μm程度に形成されている。また、薄膜圧電共振子1には、圧電膜4および保護層5を貫通するようにして4つの貫通孔7, 7, 7, 7が形成されて、図3に示すように、下部電極3の表面に対するボンディングワイヤW1～W4等の接続(ボンディング)が可能に構成されている。

### 【0021】

保護層5は、上部電極6の形成時における接着層6aおよび電極材料層6b(図16, 17参照)のエッティングに際して圧電膜4を保護するための層であって、この薄膜圧電共振子1では、一例として圧電膜4の上面全体を覆うようにしてその厚みが5nm以上300nm以下の範囲内となるように形成されている。この場合、保護層5の形成に適した材料は、上部電極6の形成方法によって異なる。具体的には、上部電極6をウェットエッティングによって形成する場合には、電極材料層6bなどをエッティングするためのエッティング液による浸食から圧電膜4を保護し得る(保護可能な)材料が適しており、上部電極6をドライエッティングによって形成する場合には、電極材料層6bなどをエッティングするための反応性ガスによる浸食から圧電膜4を保護し得る(保護可能な)材料が適している。な

お、この薄膜圧電共振子1では、後述するように、クロムの接着層6aおよび金の電極材料層6bをウェットエッチングによってエッチングすることで上部電極6を形成するため、これらのエッチングに使用するエッチング液による浸食から圧電膜4を保護するために、一例として、酸化ケイ素(SiO<sub>2</sub>)によって厚みが10nm以上100nm以下の範囲内となるように保護層5が形成されている。この場合、保護層5を形成する材料としては、上記の酸化ケイ素のみならず、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)や、窒化ケイ素(SiNx)などを採用することができる。

#### 【0022】

上部電極6は、下部電極3と同様にして、Al、Pt、Au、Ag、Cr、CuまたはTiなどの金属によってその厚みが0.03μm以上1μm以下程度の薄膜状に形成されている。この場合、この薄膜圧電共振子1では、一例として、接着層6aとして形成したクロム(Cr)の薄膜の上側に金(Au)からなる電極材料層6bを形成した後に、エッチングすることで上部電極6が形成される。

#### 【0023】

次に、薄膜圧電共振子1を製造する薄膜圧電共振子製造装置51の構成について、図面を参照して説明する。

#### 【0024】

図4に示す薄膜圧電共振子製造装置(以下、「製造装置」ともいう)51は、薄膜圧電共振子1を製造するための製造装置であって、成膜装置61、マスク形成装置62、65、68、70、エッチング装置63、66、69、71、72およびスパッタ装置64、67を備えて構成されている。成膜装置61は、シリコン基板11の表裏両面に化学的気相成長法(CVD)によって例えば窒化ケイ素(SiNx)を付着させることにより、下部バリア層12および上部バリア層13を形成する。マスク形成装置62は、塗布装置62a、露光装置62bおよび現像装置62cを備えて、下部バリア層12の下面にマスクM1(図8参照)を形成する。エッチング装置63は、例えば反応性イオンエッチングによって下部バリア層12をエッチングする。スパッタ装置64は、上部バリア層13の上面にクロム(Cr)および金(Au)を順に積層して接着層3aおよび電極材料

層3bを形成する。マスク形成装置65は、塗布装置65a、露光装置65bおよび現像装置65cを備えて、電極材料層3bの上にマスクM2（図11参照）を形成する。エッティング装置66は、ウェットエッティング法によって電極材料層3bおよび接着層3aをエッティングすることによって下部電極3を形成する。

### 【0025】

スパッタ装置67は、下部電極3を覆うようにして上部バリア層13の上に例えば酸化亜鉛（ZnO）を積層することによって圧電膜4を形成する。また、スパッタ装置67は、圧電膜4の上に例えば酸化ケイ素（SiO<sub>2</sub>）を積層することによって保護層5を形成する。さらに、スパッタ装置67は、保護層5の上にクロム（Cr）および金（Au）を順に積層して接着層6aおよび電極材料層6bを形成する。マスク形成装置68は、塗布装置68a、露光装置68bおよび現像装置68cを備えて、電極材料層6bの上にマスクM3（図16参照）を形成する。エッティング装置69は、ウェットエッティング法によって電極材料層6bおよび接着層6aをエッティングすることによって上部電極6を形成する。マスク形成装置70は、塗布装置70a、露光装置70bおよび現像装置70cを備えて、上部電極6を覆うようにして保護層5の上にマスクM4（図18参照）を形成する。エッティング装置71は、例えば酢酸を用いたウェットエッティング法によって保護層5および圧電膜4をエッティングすることによって貫通孔7, 7, 7, 7を形成し、エッティング装置72は、例えば水酸化カリウム（KOH）を用いたウェットエッティング法によってシリコン基板11をエッティングすることによって振動空間2aを形成する。

### 【0026】

次いで、薄膜圧電共振子1の製造方法について、図面を参照して説明する。

### 【0027】

まず、図5に示すように、成膜装置61が、シリコン基板11の表裏両面に窒化ケイ素（SiN<sub>X</sub>）を付着させることにより、下部バリア層12および上部バリア層13を形成する。次に、図6に示すように、マスク形成装置62の塗布装置62aが、例えばポジ型のフォトレジストを塗布することにより、下部バリア層12の下面にレジスト層R1を形成する。次いで、図7に示すように、その表

面に例えばクロム (Cr) によってマスクパターン 21a が描かれたガラスマスク 21 をレジスト層 R1 に密着させた状態で、露光装置 62b が、同図に示す矢印の向きで紫外線を照射してレジスト層 R1 に潜像を形成する（露光する）。次に、現像装置 62c が、この状態のレジスト層 R1 を現像することにより、図 8 に示すように、下部バリア層 12 の下面にマスク M1 を形成する。続いて、エッチング装置 63 が、下部バリア層 12 をエッチングする。これにより、図 9 に示すように、下部バリア層 12 の中央部（後に振動空間 2a が形成される部位）が除去される。

### 【0028】

次に、図 10 に示すように、スパッタ装置 64 が、上部バリア層 13 の上面全体を覆うようにしてクロム (Cr) および金 (Au) を順に積層することにより、厚み 10 nm 程度の接着層 3a と、厚み 100 nm 程度の電極材料層 3b とを形成する。次いで、図 11 に示すように、マスク形成装置 65 が、電極材料層 3b の上にフォトレジストを塗布してレジスト層 R2 を形成した後に、露光および現像を行うことにより、電極材料層 3b の上にマスク M2 を形成する。続いて、エッチング装置 66 が、電極材料層 3b および接着層 3a をエッチングする。これにより、図 12 に示すように、上部バリア層 13 の上に下部電極 3 が形成される。次に、図 13 に示すように、スパッタ装置 67 が、上部バリア層 13 の上に下部電極 3 を覆うようにして例えば酸化亜鉛 (ZnO) を積層することにより、厚みが 0.8 μm 程度の圧電膜 4 を形成する。

### 【0029】

次いで、図 14 に示すように、スパッタ装置 67 が、圧電膜 4 の上面全体を覆うようにして例えば酸化ケイ素 (SiO<sub>2</sub>) を積層することにより、その厚みが 10 nm 以上 100 nm 以下の範囲内（一例として 50 nm）の保護層 5 を形成する。この場合、保護層 5 の厚みを薄くし過ぎたときには、後述するようにエッチング装置 69 によって上部電極 6 が形成される（エッチングされる）際にエッチング液による浸食から圧電膜 4 を保護するのが困難となる。また、保護層 5 の厚みを厚くし過ぎたときには、この保護層 5 の存在によって結合係数が低下する。したがって、保護層 5 の厚みとしては、5 nm 以上 300 nm 以下の範囲に規

定する必要があり、10nm以上100nm以下の範囲に規定するのが好ましい。

### 【0030】

次に、図15に示すように、スパッタ装置67が、保護層5の上面全体を覆うようにして例えばクロム(Cr)および金(Au)を順に積層することにより、厚み10nm程度の接着層6aと、厚み100nm程度の電極材料層6bとを形成する。次いで、図16に示すように、マスク形成装置68が、電極材料層6bの上にフォトレジストを塗布してレジスト層R3を形成した後に露光および現像を行うことにより、電極材料層6bの上にマスクM3を形成する。続いて、エッティング装置69が、電極材料層6bおよび接着層6aをエッティングする。この際に、圧電膜4が保護層5によって覆われているため、マスクM3から露出している電極材料層6bおよび接着層6aを十分にエッティング可能なだけエッティング液に浸したとしても、エッティング液による圧電膜4の浸食が回避される。したがって、除去すべき電極材料層6bおよび接着層6aが部分的に残留しないように十分にエッティング液に浸すことが容易となる結果、図17に示すように、エッティング不足に起因する不要な電極材料層6bなどの残留を招くことなく必要な上部電極6のみが保護層5の上に形成される。

### 【0031】

次いで、図18に示すように、マスク形成装置70が、上部電極6を覆うようにして保護層5の上にフォトレジストを塗布してレジスト層R4を形成した後に、露光および現像を行うことによって保護層5の上にマスクM4を形成する。続いて、図19に示すように、エッティング装置71が、保護層5および圧電膜4をエッティングして貫通孔7, 7, 7, 7を形成する。次に、エッティング装置72が、シリコン基板11の下面に形成した下部バリア層12をマスクとしてシリコン基板11をエッティングする。これにより、同図に破線で示す部位が除去されて振動空間2aが形成され、この結果、図2に示すように、薄膜圧電共振子1が完成する。

### 【0032】

このように、この製造装置51による薄膜圧電共振子1の製造方法によれば、

接着層6aおよび電極材料層6bを形成する工程（上部電極6を形成する工程）に先立ち、圧電膜4の上面全体を覆うようにして保護層5を形成することにより、接着層6aおよび電極材料層6bのエッティングに際してエッティング液による浸食から圧電膜4が保護されるため、圧電膜4に対する不要なエッティングを回避しつつ、マスクM3によって覆われていない部位の接着層6aおよび電極材料層6bを完全に除去するまで十分にエッティングを行うことができる。したがって、圧電膜4の厚みにばらつきが生じたり圧電膜4上に電極材料層6bなどが残留したりする事態を回避することができるため、所望の電気的特性を有する薄膜圧電共振子1を確実かつ容易に製造することができる。また、この薄膜圧電共振子1でフィルタなどの電子部品を構成することにより、所望の電気的特性を満たす電子部品を提供することができる。

#### 【0033】

また、この製造装置51による薄膜圧電共振子1の製造方法によれば、SiO<sub>2</sub>によって保護層5を形成することにより、アルミニウムや金などをエッティングするためのエッティング液による浸食から圧電膜4を確実に保護することができる。

#### 【0034】

さらに、この製造装置51による薄膜圧電共振子1の製造方法によれば、結合係数が比較的大きいZnOによって圧電膜4を形成することにより、フィルタ特性における通過帯域幅が広い薄膜圧電共振子1を製造することができる。この場合、この製造方法によれば、保護層5によって圧電膜4が確実に保護されるため、エッティング液に含まれる酢酸、リン酸および硝酸等の酸によって浸食され易いZnOを用いて圧電膜4を形成した場合であっても、所望の電気的特性を有する薄膜圧電共振子1を確実かつ容易に製造することができる。

#### 【0035】

また、この製造装置51による薄膜圧電共振子1の製造方法によれば、導電性に優れたAuを用いて電極材料層6bを形成することにより、通過信号の挿入損失が小さい薄膜圧電共振子1を製造することができる。

#### 【0036】

さらに、この製造装置51による薄膜圧電共振子1の製造方法によれば、ウェットエッチング法によって電極材料層6bおよび接着層6aをエッチングして上部電極6を形成することにより、比較的簡易な製造設備を用いて薄膜圧電共振子1を確実かつ容易に製造することができる。

### 【0037】

なお、本発明は、上記した実施の形態に限定されない。例えば、本発明の実施の形態では、接着層6aおよび電極材料層6bを形成する工程に先立ってスパッタ装置67を使用して圧電膜4の上面全体を覆うようにして保護層5を形成する製造方法について説明したが、本発明はこれに限定されず、例えば、図20に示すように、後の工程で上部電極6を形成しない部位（本明細書では、「非形成部位」という）P（同図および図21参照）のみにスパッタ装置67によって例えば酸化ケイ素（SiO<sub>2</sub>）を積層して保護層5を形成する製造方法を採用することができる。この製造方法によれば、図21に示す薄膜圧電共振子1Aのように、上部電極6と圧電膜4との間に保護層5が存在しないため、上部バリア層13、下部電極3、圧電膜4および上部電極6からなる積層体全体としての厚みを十分に薄く形成することができる。このため、高い共振周波数を有する薄膜圧電共振子1Aを製造することができる。また、上部電極6と圧電膜4との間に保護層が存在しないため、上部電極6と圧電膜4とを直接接触させることができること、結合係数が大きい薄膜圧電共振子1Aを製造することができる。

### 【0038】

また、非形成部位Pのみに保護層5を形成する製造方法を採用する場合には、電極材料層6bの上に形成するマスクM3の端部を保護層5に重ねるように若干大きめに形成した状態でエッチングすることにより、図22に示す薄膜圧電共振子1Bのように、上部電極6の端部を保護層5に重ねるように形成するのが好ましい。この製造方法によれば、圧電膜4上に形成した保護層5と、電極材料層6b上のマスクM3とによって、上部電極6の形成部位と非形成部位Pとの境目近傍における圧電膜4をエッチング液による浸食から確実に保護することができるため、所望の電気的特性を有する薄膜圧電共振子1Bを確実に製造することができる。さらに、非形成部位Pのみに保護層5を形成する製造方法を採用する場合

であっても、本発明は、非形成部位P全域に保護層5を形成するのを要件としない。例えば、図23に示すように、共振子としての機能に影響を及ぼさない部位には保護層5を形成せずに、下部電極3および上部電極6で挟まれた部位を含む比較的狭い範囲の圧電膜4（所定範囲の圧電膜4）を保護し得る部位に保護層5を形成して薄膜圧電共振子1Cを構成することができる。

#### 【0039】

また、本発明の実施の形態では、スパッタ装置64がクロム（Cr）を積層して接着層3aを形成した後に金（Au）を積層して電極材料層3bを形成することによって下部電極3を形成し、スパッタ装置67がクロム（Cr）を積層して接着層6aを形成した後に金（Au）を積層して電極材料層6bを形成することによって上部電極6を形成する製造方法について説明したが、本発明はこれに限定されない。例えば、図24に示すように、スパッタ装置64がアルミニウム（Al）を積層して電極材料層3bを形成した後に、エッチング装置66がこの電極材料層3bをエッチングして下部電極3を形成し、スパッタ装置67が保護層5を覆うようにしてアルミニウム（Al）を積層して電極材料層6bを形成した後に、エッチング装置69がこの電極材料層6bをエッチングして、図25に示すように、上部バリア層13の上に下部電極3を形成し、かつ圧電膜4の上に上部電極6を形成することで薄膜圧電共振子1Dを製造する製造方法を採用することができる。この製造方法によれば、下部電極3および上部電極6を形成しているアルミニウムが軽量のため、例えば共振周波数が十分に高い薄膜圧電共振子を確実かつ容易に製造することができる。

#### 【0040】

さらに、本発明の実施の形態では、ウェットエッチング法によって下部電極3および上部電極6を形成するエッチング装置66, 69を備えた製造装置51について説明したが、本発明はこれに限定されず、エッチング装置66, 69に代えて電極材料層3b, 6bおよび接着層3a, 6aを反応性ガスでエッチングする（ドライエッチング法によるエッチング）エッチング装置を使用して下部電極3および上部電極6を形成する構成を採用することができる。この構成を採用した場合、スパッタ装置64, 67による積層時において、電極材料層6b（また

は接着層6aおよび電極材料層6b)をエッティングするための反応性ガスによる浸食から圧電膜4を保護可能な材料によって保護層5を形成する。

#### 【0041】

また、本発明の実施の形態では、シリコン基板11、下部バリア層12および上部バリア層13からなる基体2の上に下部電極3、圧電膜4、保護層5および上部電極6を形成する製造方法について説明したが、本発明に係る製造方法において使用する基体の構成はこれに限定されない。例えば、図26に示す薄膜圧電共振子1Eのように、例えば窒化アルミニウム(A1N)の薄膜32aと、酸化ケイ素(SiO<sub>2</sub>)の薄膜32bとを交互に積層して構成した基体32(音響多層膜)の上に下部電極3、圧電膜4、保護層5および上部電極6を形成する製造方法を採用することができる。この製造方法によれば、前述した薄膜圧電共振子1、1A～1Dの製造方法において使用した基体2と比較して、単位薄膜圧電共振子Uの部分が厚手となっている分だけ基体32の強度を高めることができため、衝撃等による破損を回避し得る薄膜圧電共振子1Eを製造することができる。

#### 【0042】

さらに、本発明の実施の形態に係る製造方法において使用した各種の材料についてはあくまでも例示であって、本発明はこれらの材料を使用した製造方法に限定されるものではない。また、本発明の実施の形態では、3つの単位薄膜圧電共振子U1～U3を使用して直列一並列一直列タイプのラダーフィルタとして機能する電子部品について説明したが、本発明に係る電子部品の構成はフィルタに限定されず、デュプレクサとしても構成することができる。この場合、単位薄膜圧電共振子Uの使用個数、および接続形態については、本発明の実施の形態に例示したものに限定されず、任意に規定することができる。さらに、本発明の実施の形態では、3つの単位薄膜圧電共振子U1～U3を備えて構成した薄膜圧電共振子1を例に挙げて説明したが、本発明に係る薄膜圧電共振子はこれに限定されず、1つの単位薄膜圧電共振子Uで薄膜圧電共振子を構成することもできるし、2つまたは4つ以上の複数の単位薄膜圧電共振子Uを備えて薄膜圧電共振子を構成することもできる。

**【0043】****【発明の効果】**

以上のように、本発明に係る薄膜圧電共振子の製造方法および製造装置によれば、上部電極を形成する工程に先立ち、圧電膜における少なくとも上部電極の非形成部位を覆うようにして保護層を形成することにより、電極材料層のエッティングに際してエッティング液による浸食から圧電膜が保護されるため、圧電膜に対する不要なエッティングを回避しつつ、マスクによって覆われていない部位の電極材料層を完全に除去するまで十分にエッティングを行うことができる。したがって、圧電膜の厚みにばらつきが生じたり圧電膜上に電極材料層などが残留したりする事態を回避することができるため、所望の電気的特性を有する薄膜圧電共振子を確実かつ容易に製造することができる。この場合、上部電極の形成部位に保護層を形成せずに、非形成部位のみに保護層を形成することで、結合係数が大きい薄膜圧電共振子を製造することができる。また、この製造方法を採用することにより、所望の電気的特性を有する薄膜圧電共振子を提供することができる。さらに、この薄膜圧電共振子でフィルタなどの電子部品を構成することにより、所望の電気的特性を満たす電子部品を提供することができる。

**【0044】**

また、本発明に係る薄膜圧電共振子の製造方法によれば、保護層を  $\text{SiO}_2$  によって形成することにより、アルミニウムや金などをエッティングするためのエッティング液による浸食から圧電膜を確実に保護することができる。

**【0045】**

さらに、本発明に係る薄膜圧電共振子の製造方法によれば、圧電膜を  $\text{ZnO}$  によって形成することにより、フィルタ特性における通過帯域幅が広い薄膜圧電共振子を製造することができる。この場合、この製造方法によれば、圧電膜が保護層によって確実に保護されるため、エッティング液に含まれる酢酸、リン酸および硝酸等の酸によって浸食され易い  $\text{ZnO}$  を用いて圧電膜を形成した場合であっても、所望の電気的特性を有する薄膜圧電共振子を確実かつ容易に製造することができる。

**【0046】**

また、本発明に係る薄膜圧電共振子の製造方法によれば、電極材料層をA1によって形成することにより、共振周波数が十分に高い薄膜圧電共振子を製造することができる。また、電極材料層をA2によって形成することにより、通過信号の挿入損失が小さい薄膜圧電共振子を製造することができる。

#### 【0047】

また、本発明に係る薄膜圧電共振子の製造方法および製造装置によれば、ウェットエッチング法によって電極材料層をエッチングして上部電極を形成することにより、比較的簡易な製造設備を用いて薄膜圧電共振子を確実かつ容易に製造することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1の平面図である。

##### 【図2】

薄膜圧電共振子1の層構造を示す図1におけるA-A線の断面図である。

##### 【図3】

薄膜圧電共振子1の等価回路図である。

##### 【図4】

薄膜圧電共振子1を製造する薄膜圧電共振子製造装置51の構成を示すブロック図である。

##### 【図5】

シリコン基板11の下面および上面に下部バリア層12および上部バリア層13を形成した状態の断面図である。

##### 【図6】

下部バリア層12の下面にレジスト層R1を形成した状態の断面図である。

##### 【図7】

レジスト層R1の下面にガラスマスク21を当接させて露光している状態の断面図である。

##### 【図8】

レジスト層R1を現像してマスクM1を形成した状態の断面図である。

【図9】

マスクM1を使用して下部バリア層12をエッティングした状態の断面図である。

【図10】

上部バリア層13の上面に接着層3aおよび電極材料層3bを形成した状態の断面図である。

【図11】

電極材料層3bの上面にマスクM2を形成した状態の断面図である。

【図12】

マスクM2を使用して接着層3aおよび電極材料層3bをエッティングした（下部電極3を形成した）状態の断面図である。

【図13】

下部電極3を覆うようにして圧電膜4を形成した状態の断面図である。

【図14】

圧電膜4の上面に保護層5を形成した状態の断面図である。

【図15】

保護層5の上面に接着層6aおよび電極材料層6bを形成した状態の断面図である。

【図16】

電極材料層6bの上面にマスクM3を形成した状態の断面図である。

【図17】

マスクM3を使用して接着層6aおよび電極材料層6bをエッティング（上部電極6を形成した）した状態の断面図である。

【図18】

上部電極6を覆うようにしてマスクM4を形成した状態の断面図である。

【図19】

マスクM4を使用して保護層5および圧電膜4をエッティングして貫通孔7, 7, 7, 7を形成した状態の断面図である。

**【図 20】**

本発明の他の実施の形態に係る製造方法において圧電膜4の上面における非形成部位Pに保護層5を形成した状態の断面図である。

**【図 21】**

本発明の他の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1Aの層構造を示す断面図である。

**【図 22】**

本発明の他の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1Bの層構造を示す断面図である。

**【図 23】**

本発明の他の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1Cの層構造を示す断面図である。

**【図 24】**

本発明の他の実施の形態に係る製造方法において電極材料層6bの上面にマスクM3を形成した状態の断面図である。

**【図 25】**

本発明の他の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1Dの層構造を示す断面図である。

**【図 26】**

本発明の他の実施の形態に係る製造方法に従って製造した薄膜圧電共振子1Eの層構造を示す断面図である。

**【符号の説明】**

1, 1A～1E 薄膜圧電共振子

2, 32 基体

3 下部電極

3a 接着層

3b 電極材料層

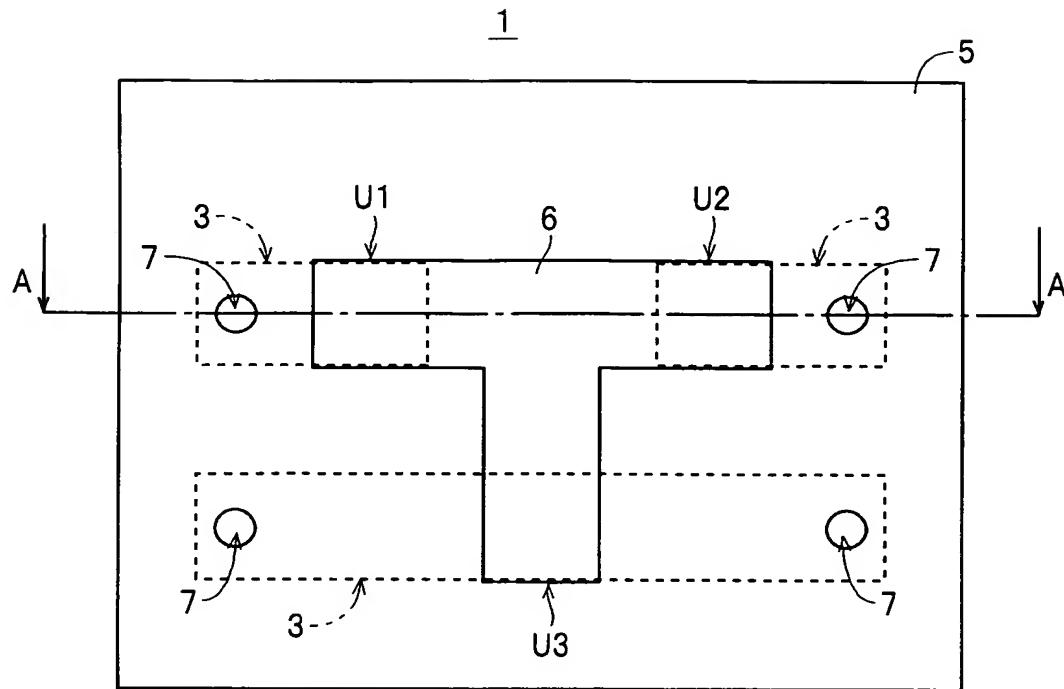
4 圧電膜

5 保護層

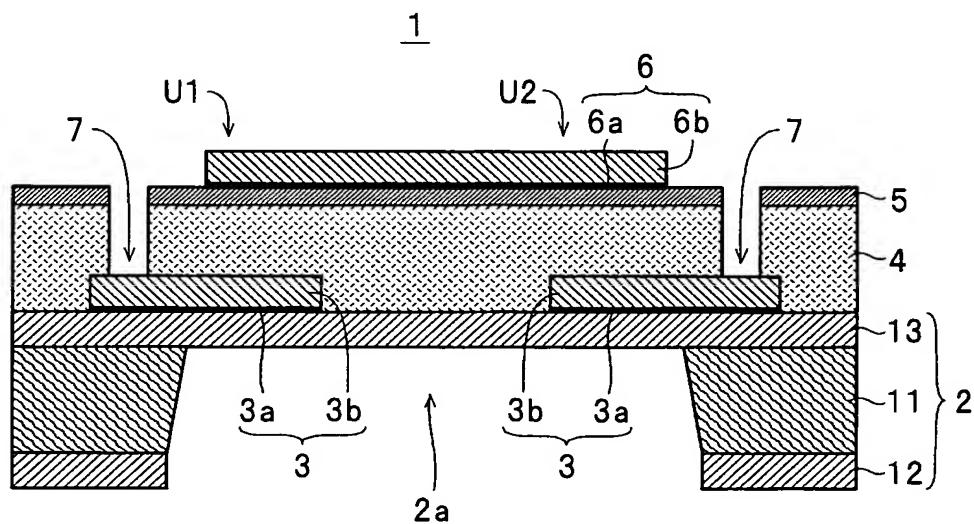
- 6 上部電極
- 6 a 接着層
- 6 b 電極材料層
- 5 1 製造装置
- 6 7 スパッタ装置
- 6 8 マスク形成装置
- 6 9 エッチング装置
- M 3 マスク
- P 非形成部位
- R 3 レジスト層
- U 1 ~ U 3 単位薄膜圧電共振子

【書類名】 図面

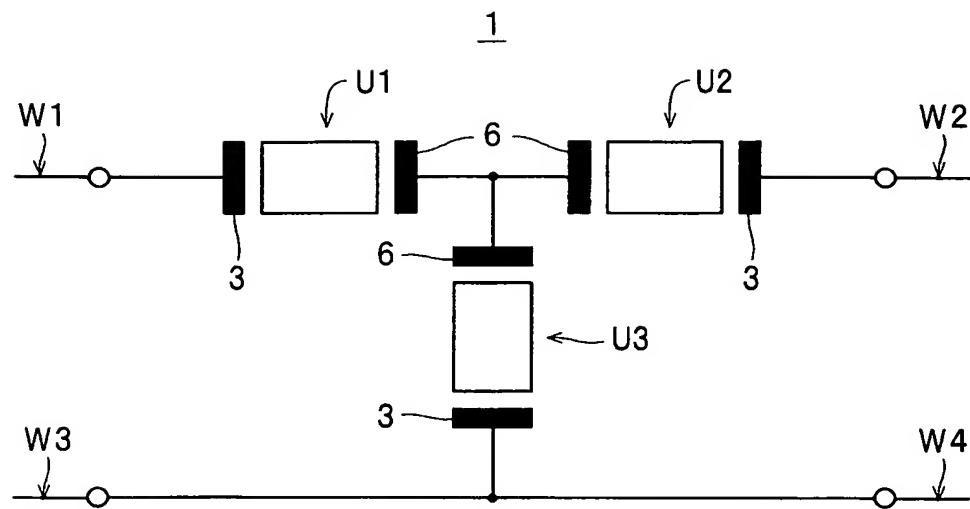
【図1】



【図2】

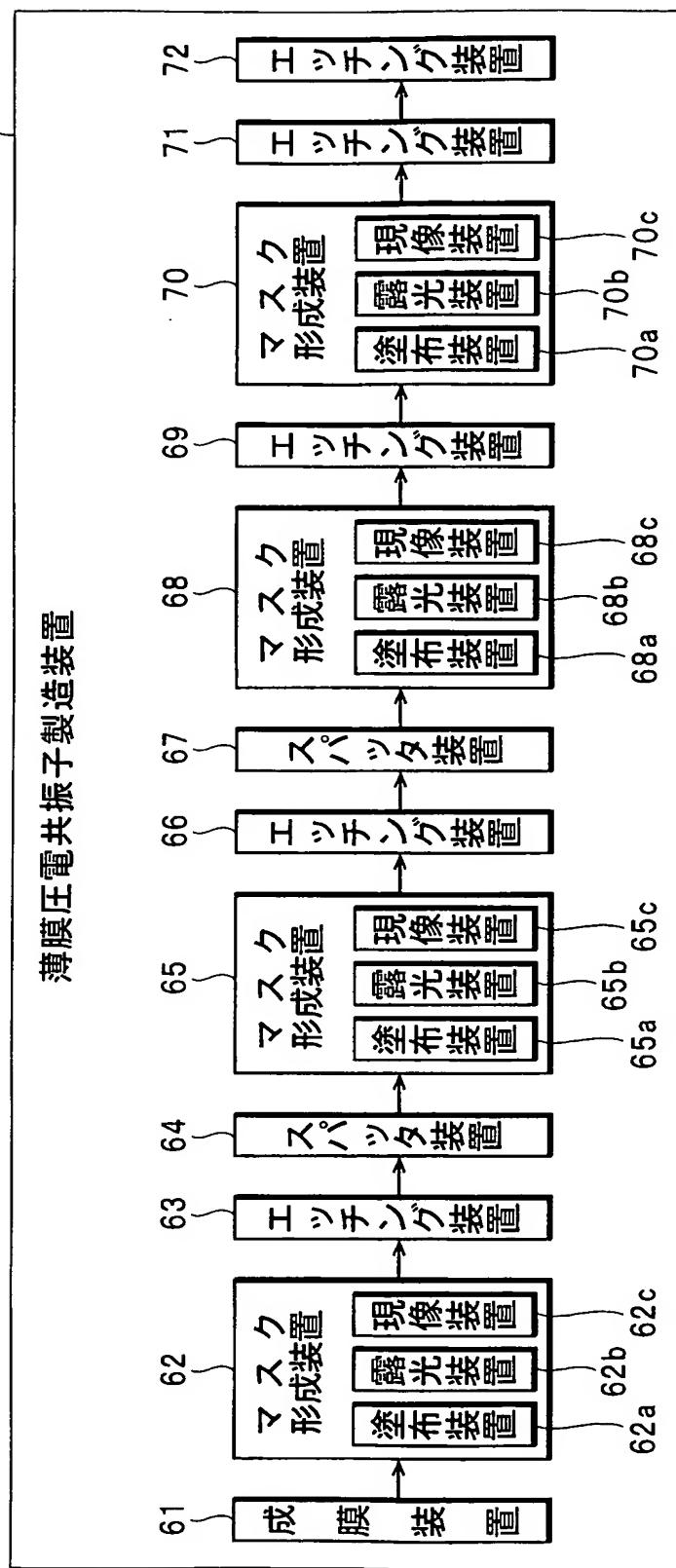


【図3】

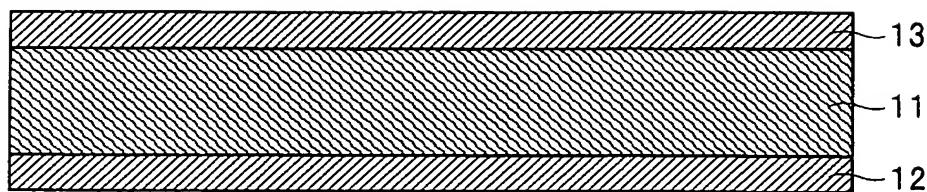


【図4】

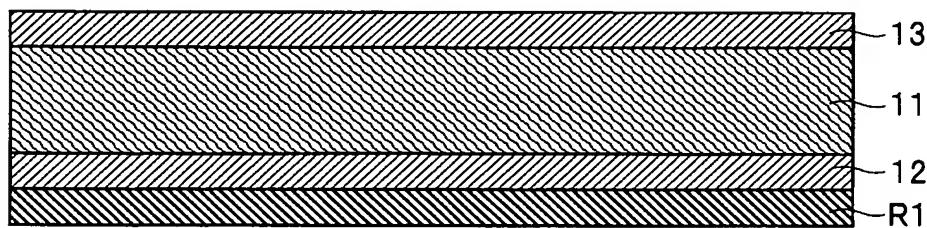
51



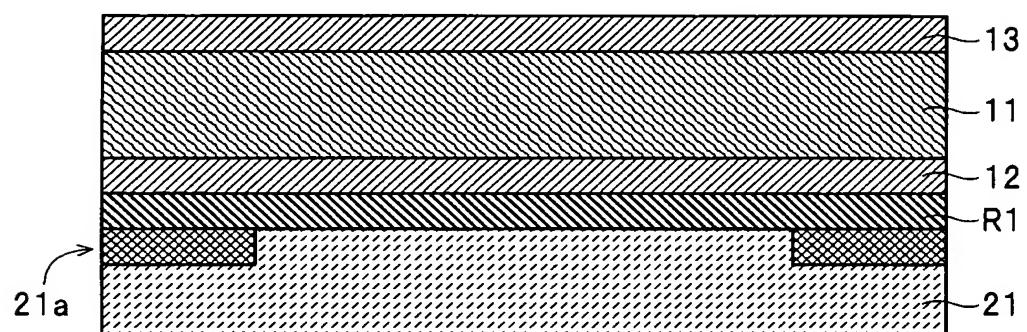
【図5】



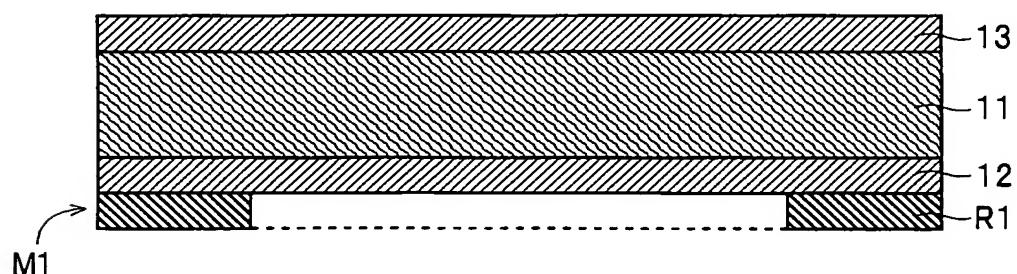
【図6】



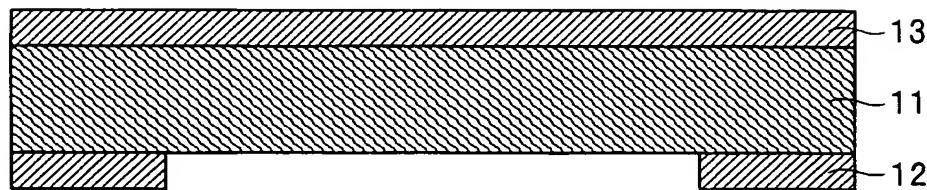
【図7】



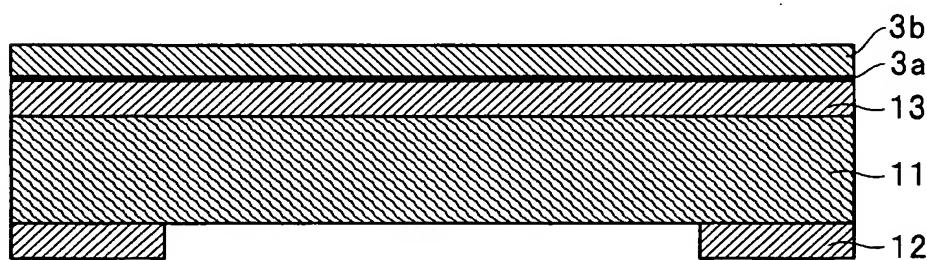
【図8】



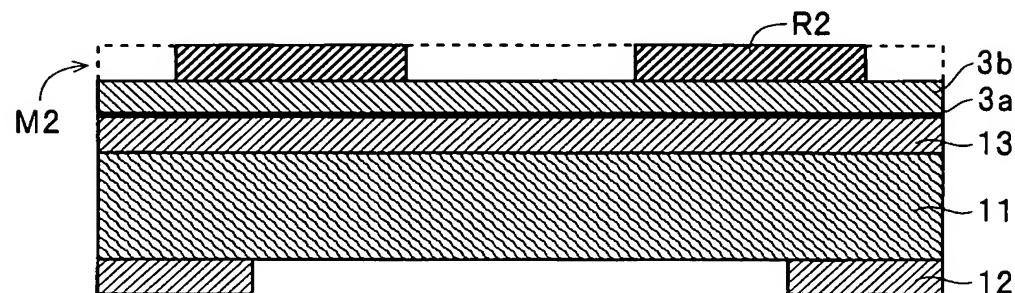
【図9】



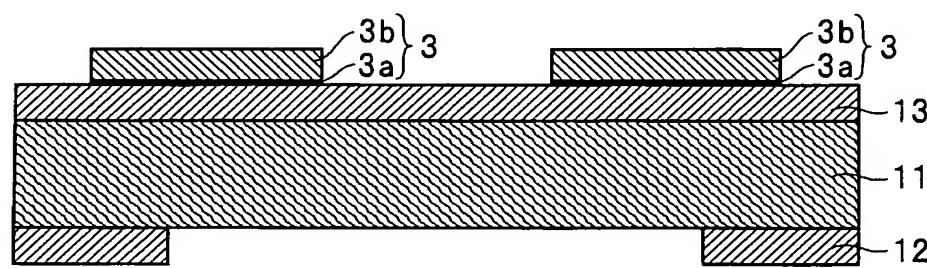
【図10】



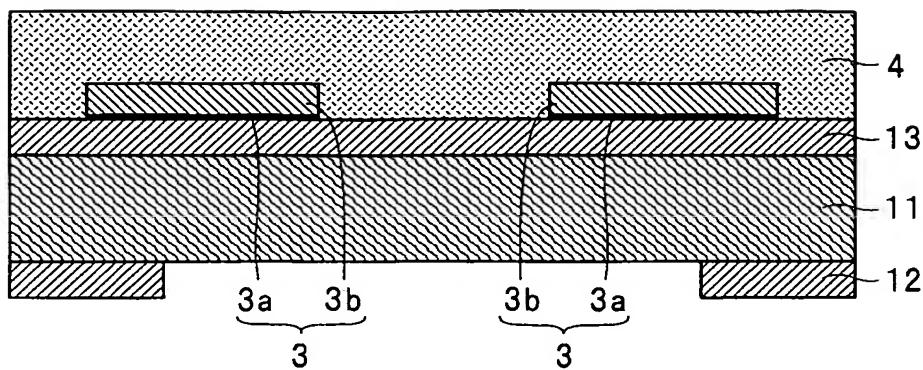
【図11】



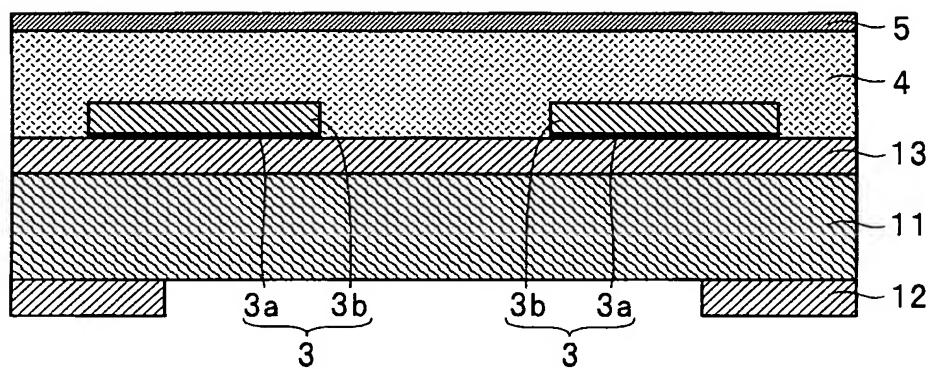
【図12】



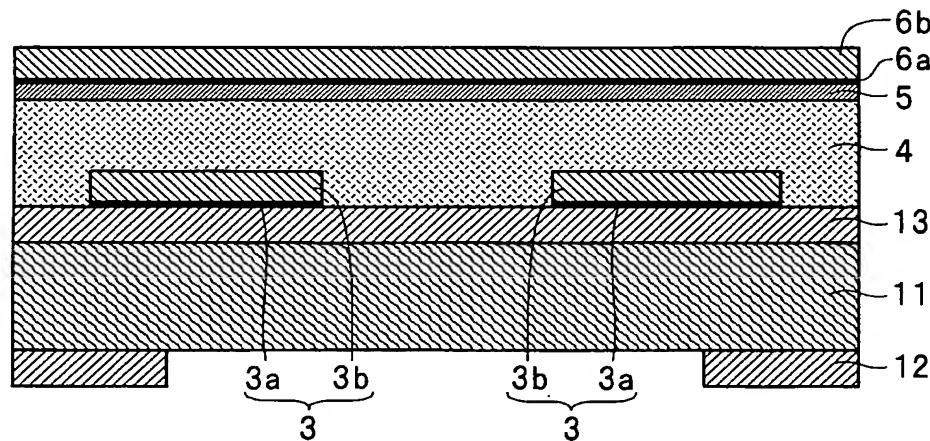
【図13】



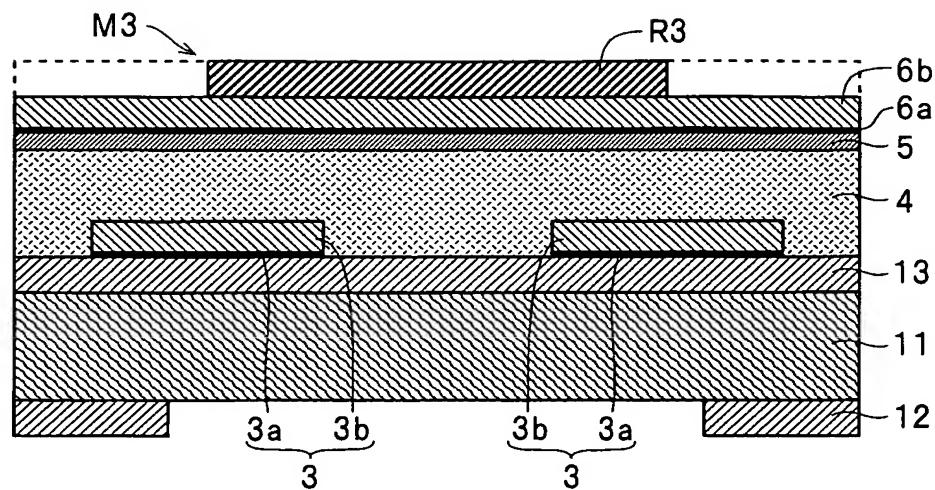
【図14】



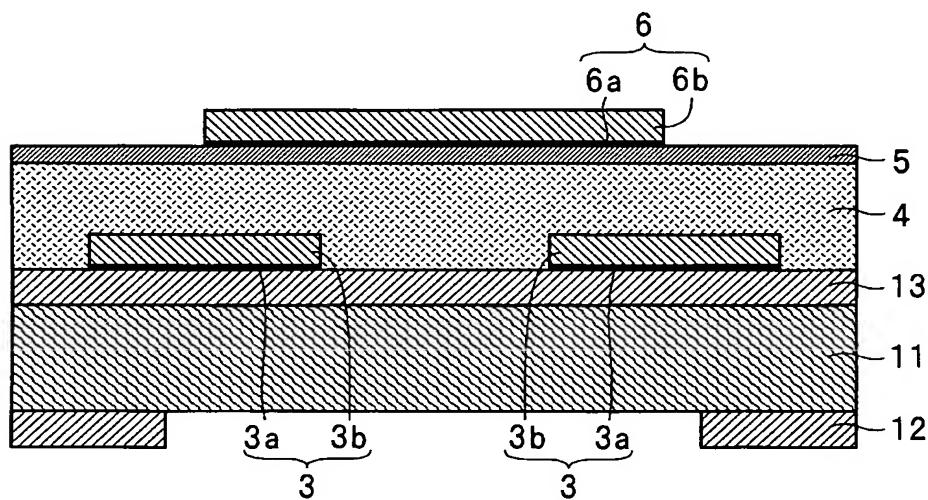
【図15】



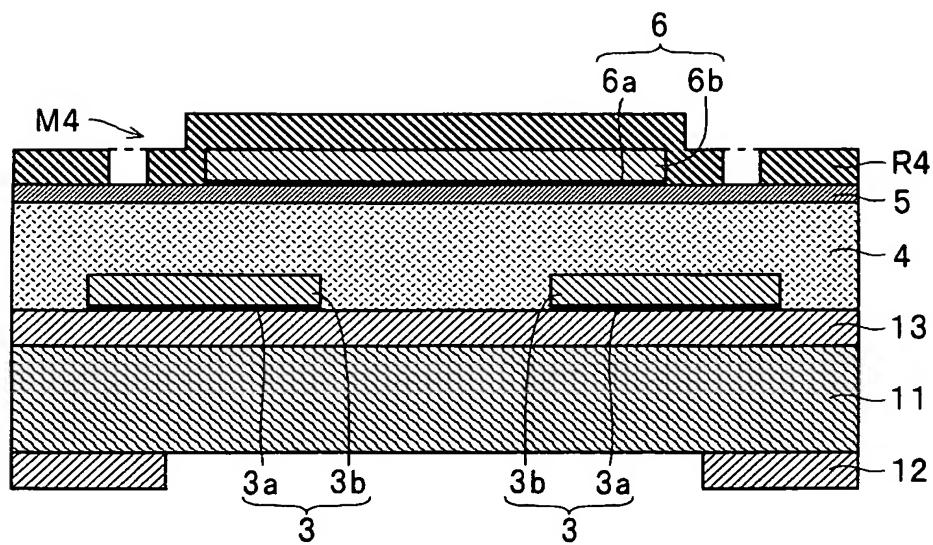
【図16】



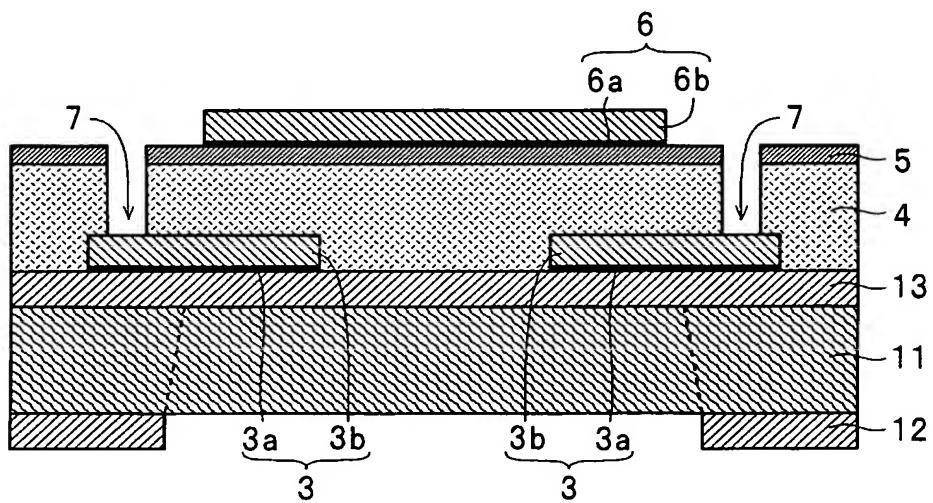
【図17】



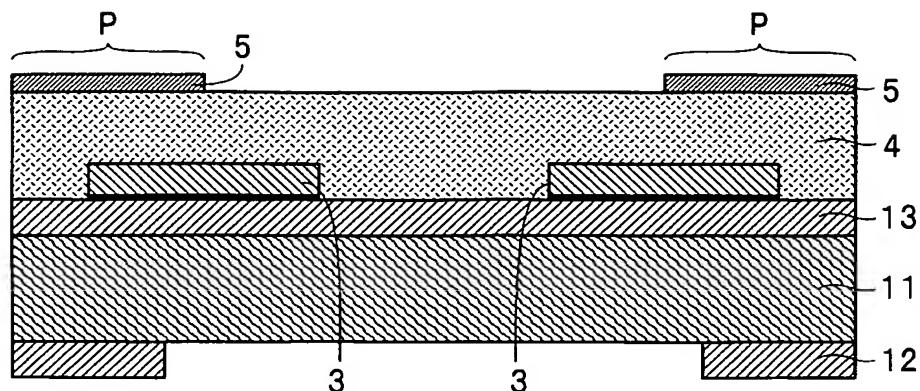
【図18】



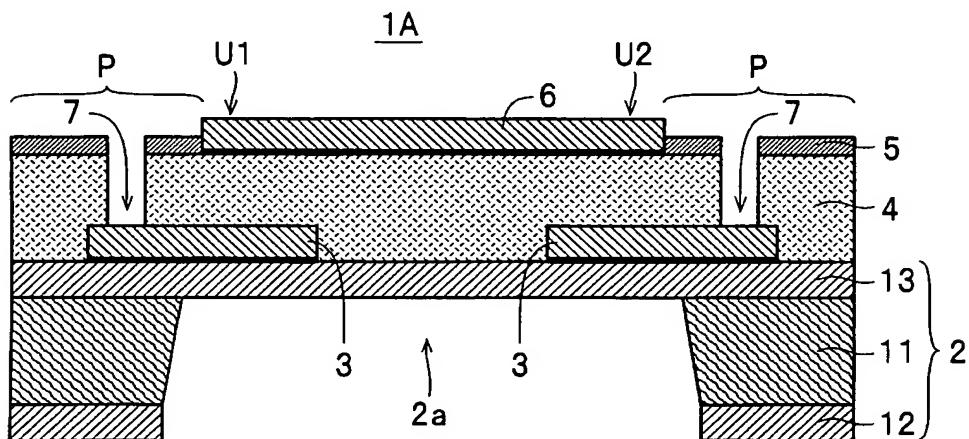
【図19】



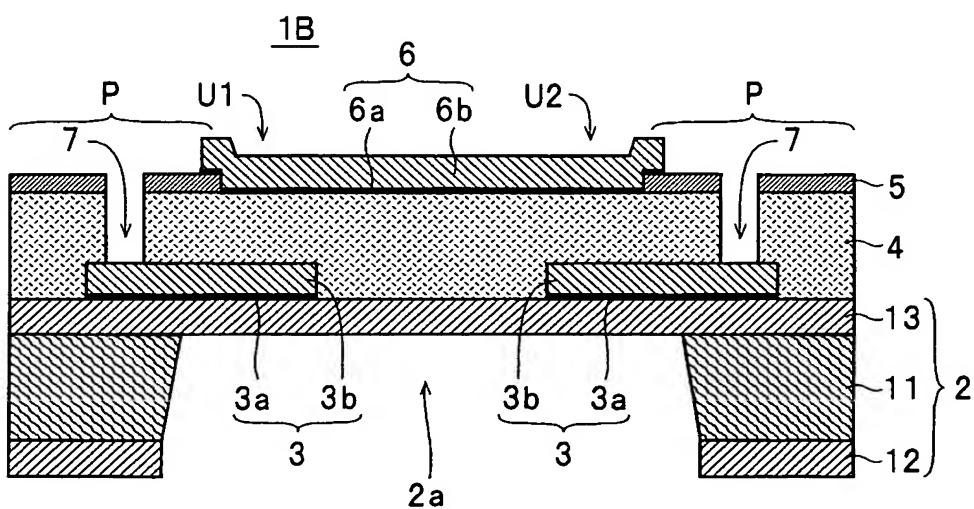
【図20】



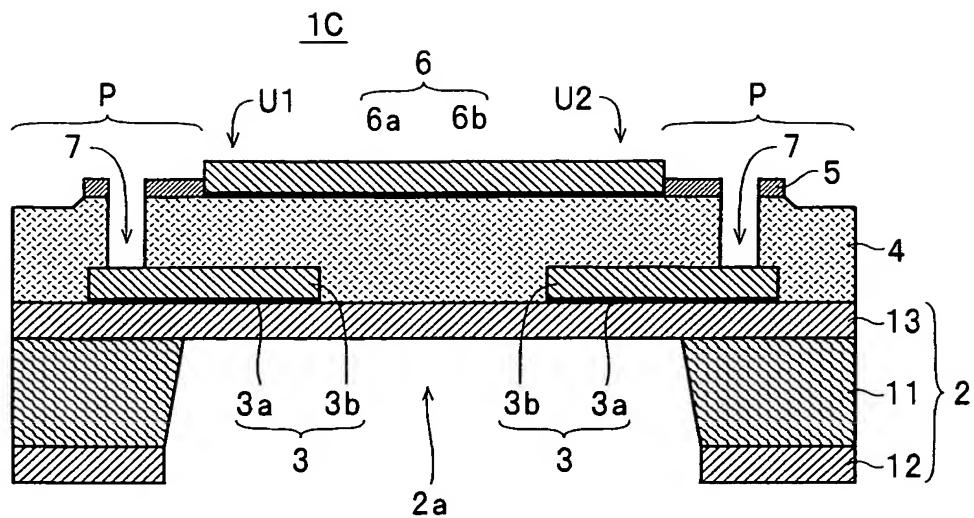
【図21】



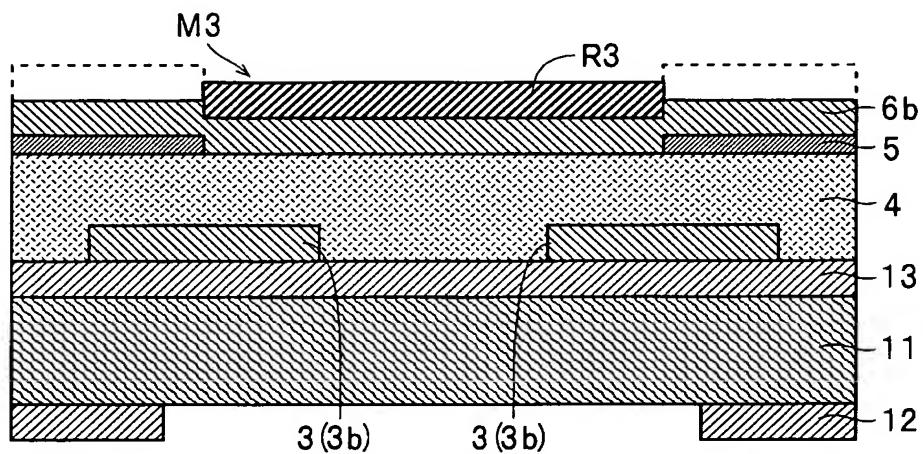
【図22】



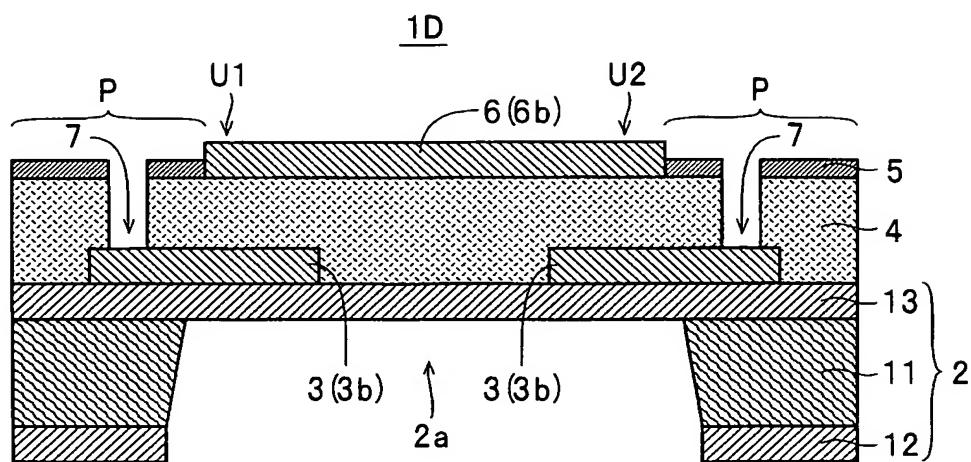
【図23】



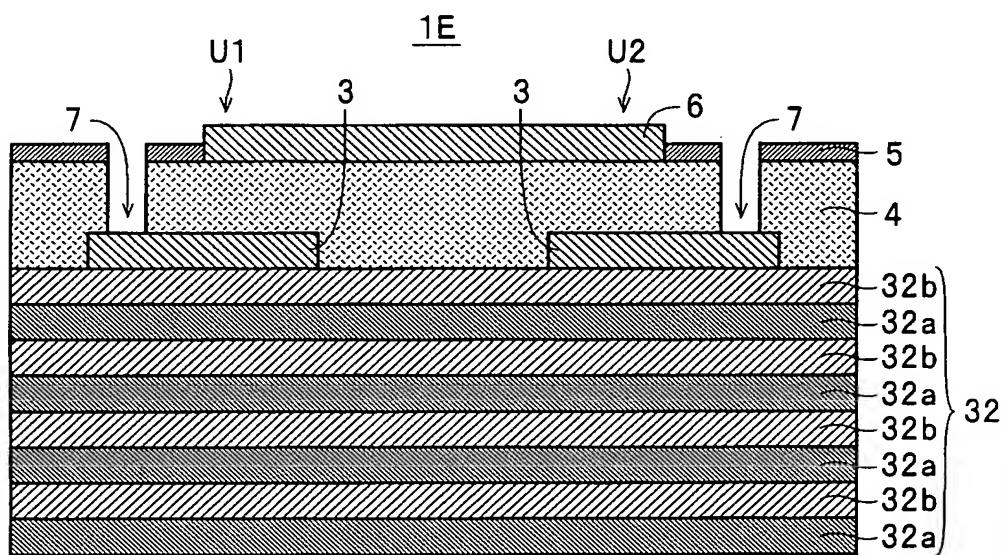
【図24】



【図25】



【図26】



【書類名】 要約書

【要約】

【課題】 所望の電気的特性を有する薄膜圧電共振子を確実に製造する。

【解決手段】 基体2の上に形成した下部電極3を覆うようにして基体2の上に圧電膜4を形成した後に、上部電極6を形成するための電極材料層6bを圧電膜4よりも上側に形成し、電極材料層6bの上に所定形状のマスクを形成した後に電極材料層6bをエッティングすることによって上部電極6を形成して薄膜圧電共振子1を製造する際に、電極材料層6bを形成する工程に先立ち、電極材料層6bのエッティング時に圧電膜4を保護するための保護層5を圧電膜4における少なくとも上部電極6の非形成部位を覆うようにして形成し、その後に保護層5を覆うようにして電極材料層6bを形成する。

【選択図】 図2

特願2003-094569

出願人履歴情報

識別番号 [000003067]

1. 変更年月日 [変更理由]	1990年 8月30日 新規登録
住 所 氏 名	東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社
2. 変更年月日 [変更理由]	2003年 6月27日 名称変更
住 所 氏 名	東京都中央区日本橋1丁目13番1号 TDK株式会社